

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

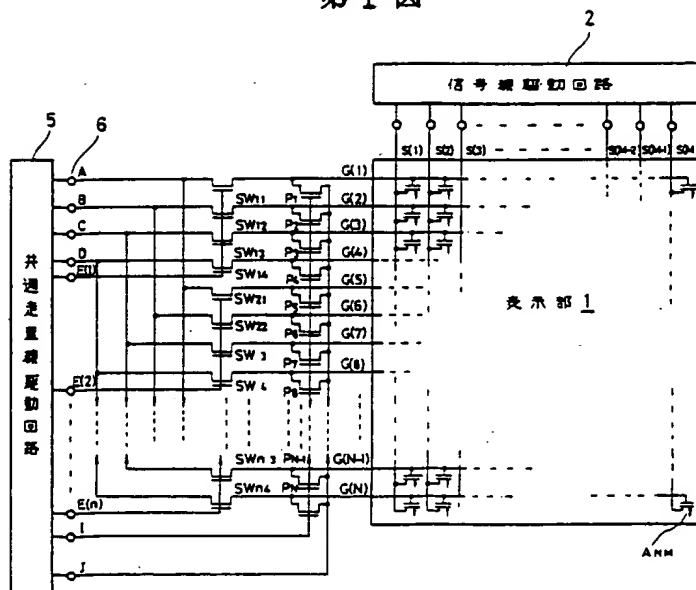
**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

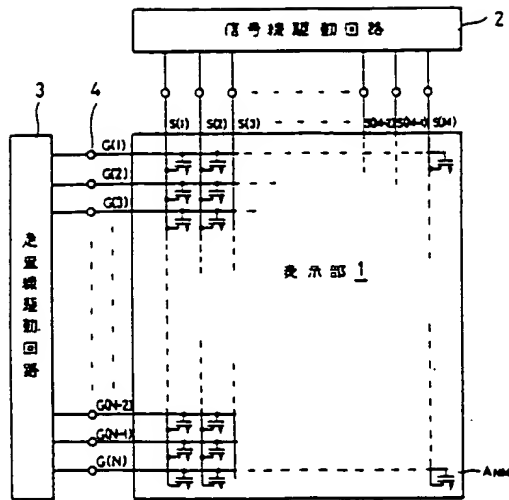
図、第4図は第1図の共通走査線駆動回路における各駆動信号の波形状である。1:表示部、2:信号線駆動回路、3:走査線駆動回路、4、6:接続部、5:共通走査線駆動回路、 $S(1) \sim S(N)$ :信号線、 $G(1) \sim G(N)$ :走査線、A、B、C、D:共通線、 $E(1) \sim E(n)$ :分割ブロック選択線、 $SW_1 \sim SW_n$ :分割化スイッチング素子、 $P_1 \sim P_n$ :放電用スイッチング素子、I:放電制御線、J:放電電位線。

出願人 キヤノン株式会社  
代理人 豊田 善雄

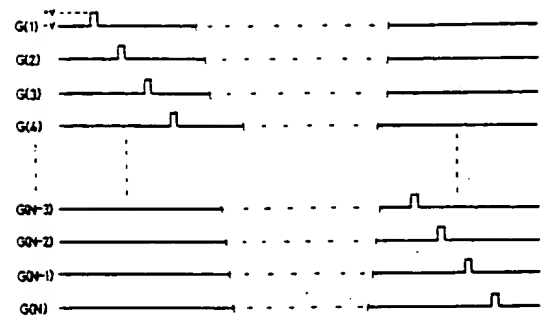
第1図



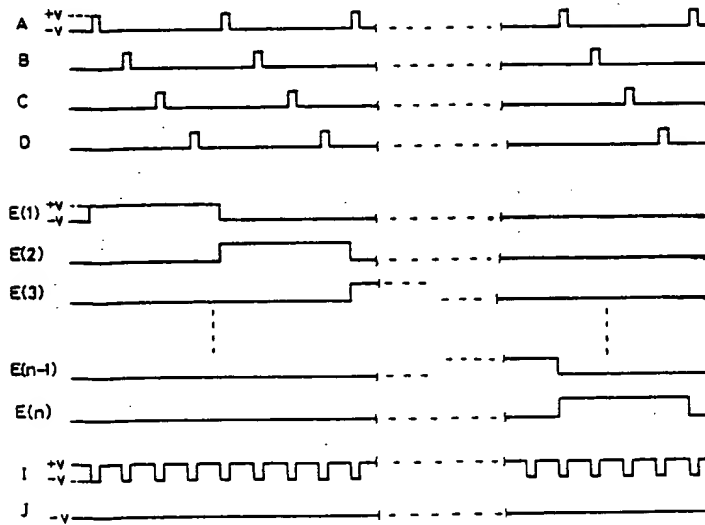
第2図



第3図



第4図



DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

01245416

RECRYSTALLIZING METHOD OF SILICON FAMILY SEMICONDUCTOR MATERIAL

PUB. NO.: 58-182816 [JP 58182816 A]

PUBLISHED: October 25, 1983 (19831025)

INVENTOR(s): KOBAYASHI KEIJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 57-065827 [JP 8265827]

FILED: April 20, 1982 (19820420)

INTL CLASS: [3] H01L-021/20; H01L-021/265; H01L-021/324; H01L-021/84; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R003 (ELECTRON BEAM); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 224, Vol. 08, No. 21, Pg. 46, January 28, 1984 (19840128)

#### ABSTRACT

PURPOSE: To synthesize polycrystalline silicon which is proximate to single crystal by such an arrangement wherein polycrystalline silicon is melted by heating, and molten silicon is caused to single-crystallize or microcrystalline by zone melt method.

CONSTITUTION: On a substrate 1 made of sapphire or quartz glass, a film 2 of SiO(sub 2) of 0.3.mu.m is provided by oxidization at a high temperature. On the film 2 of SiO(sub 2), a film of about 0.5.mu.m in thickness of silicon family semiconductor consists of noncrystalline silicon or polycrystalline silicon is formed by spatter method, etc. After that, this specimen is heated and processed at such temperatures lower than the softening temperature of the substrate 1 and higher than the melting point of the film 3 of silicon family semiconductor, and the silicon family semiconductor film 3 is caused to single-crystallize or microcrystallize. As said heat processing, for example, high frequency melting may be made at 1,250c by using carbon as a heat generating substance and further annealing is made and then B or P may be introduced by ion injecting method, or annealing may be made in the atmosphere of gases such as Ar, N(sub 2), etc.

## ⑫ 公開特許公報 (A)

昭58-182816

⑪ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)10月25日

H 01 L 21/20  
21/265  
21/324  
21/84  
29/787739-5F  
6851-5F  
6851-5F  
7739-5F  
7377-5F発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ シリコン系半導体材料の再結晶方法

京芝浦電気株式会社総合研究所  
内

⑯ 特 願 昭57-65827

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)4月20日

川崎市幸区堀川町72番地

⑲ 発 明 者 小林啓二

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

## 明 細 書

## 1. 発明の名称

シリコン系半導体材料の再結晶方法

## 2. 特許請求の範囲

(1) 基板上に非晶質シリコン或いは多結晶シリコンからなるシリコン系半導体を被着したのち、上記基板の軟化温度以下でかつ上記半導体の融点以上の温度で加熱処理し、該半導体を単結晶化若しくは微結晶化させることを特徴とするシリコン系半導体材料の再結晶方法。

(2) 前記加熱処理におけるエネルギー源として、熱線紫外線、放射線、レーザー光或いは電子ビームを使用したことを特徴とする前記特許請求の範囲第1項記載のシリコン系半導体材料の再結晶方法。

(3) 前記シリコン系半導体を単結晶化若しくは微結晶化させる過程に於て、シリコン系半導体中に水素、弗素を含有させることを特徴とする前記特許請求の範囲第1項記載の多結晶シリコンの製造方法。

(4) 前記シリコン系半導体を単結晶化若しくは微結晶化させる過程に於て、Ar、H<sub>2</sub>、C、N<sub>2</sub>ガス雰囲気中で処理することを特徴とする前記特許請求の範囲第1項記載のシリコン系半導体材料の再結晶方法。

(5) 前記単結晶化若しくは微結晶化させる過程に於て、n形あるいはp形導電性を付与するドーパ物質を加えることを特徴とする前記特許請求の範囲第1項記載のシリコン系半導体材料の再結晶方法。

## 3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、非晶質シリコンや多結晶シリコン等のシリコン系半導体を単結晶化若しくは微結晶化せしめるシリコン系半導体材料の再結晶方法に関する。

〔発明の技術的背景とその問題点〕

従来の技術としては、非晶質シリコンや多結晶シリコン等に直接レーザーアニールを行って結晶化したり、p形、n形をつくるために、シ

ラン(SiH<sub>4</sub>)、ジホラン、フオスフィンを加えることによつて所望の導電形を得ていた。しかし、この方法では得られた結晶粒径が1~2( $\mu$ m)程度であり、充分高い正孔移動度、電子移動度が得られず、半導体の特性の電圧電流曲線の再現性も充分でなく、液晶テレビなどの高速デバイスとして使用するには困難である。また減圧CVD法によつて多結晶シリコンを基板上に直接つける方法があるが、非晶質シリコンに比べて膜厚を厚くすることが困難であり、長時間を要するという欠点がある。

#### (発明の目的)

本発明の目的は、グロー放電法やスパッター法によつて作製された非晶質シリコン或いはCVD法によつて作製された多結晶シリコンを加熱熔融、ゾーンメルト法によつて単結晶化若しくは微結晶化し、単結晶に近い多結晶シリコンを合成し得るシリコン系半導体材料の再結晶方法を提供することにある。なお、ここでいう微結晶化とは必ずしも系全体に結晶が分散して

いるのではなく、部分的微結晶或いは結晶と非晶質との共存による不均質構造を含む。

#### (発明の概要)

本発明は、基板の上にグロー放電による非晶質シリコン或いはCVD法による多結晶シリコンからなるシリコン系半導体を形成したのち、熱、レーザ光、放射線等をエネルギー源とし、上記シリコン系半導体を基板の軟化温度以下で、かつシリコン系半導体の融点より高い温度で加熱処理し、シリコン系半導体を単結晶化若しくは微結晶化するようにした方法である。なお、グロー放電によつて水素や弗素等を導入して作成した非晶質シリコンを上記エネルギー源を使用して微結晶化させてもよい。さらに、微結晶化させる過程に於て、Ar, C, N<sub>2</sub>, H<sub>2</sub> ガス雰囲気中で行つてもよく、非晶質シリコンを微結晶化させて $\alpha$ 形、 $\beta$ 形導電形を形成させた多結晶シリコンを得ることも可能である。また、加熱処理の温度を基板の軟化点以下にしている理由は、これ以上の温度で処理すると基板がた

3

わんでしまい、半導体基板として使用不能となるからである。

#### (発明の効果)

本発明によれば、上記の過程を経た多結晶シリコンを基板として用い、例えば電界効果トランジスタを作製して見ると、FETの正孔移動度が90~250( $\text{cm}^2/\text{sec}$ )程度であり、しきい値電圧のばらつきが少く、リーク電流も $10^{-11}$ (A)程度のものが得られた。また、基板の結晶粒径も3~15( $\mu$ m)程度のものであり、これらの基板はFETだけではなく太陽電池、ビデオディスク基板としても工業的に使用可能である。したがつて、本発明方法の有用性は極めて大きい。

#### (発明の実施例)

図は本発明の実施例を説明するための断面図である。まず、サファイアや石英ガラス等からなる基板1を用いて、この基板1上に0.3( $\mu$ m)の厚さのSiO<sub>2</sub>膜2を高温酸化でつける。このSiO<sub>2</sub>膜2上に約0.5( $\mu$ m)の厚さの非晶質シ

リコン或いは多結晶シリコンからなるシリコン系半導体膜3をスパッター法又はグロー放電法で膜付けする。しかるのち、この試料を基板1の軟化温度以下でシリコン系半導体膜3の融点以上の温度で加熱処理して、シリコン系半導体膜3を単結晶化若しくは微結晶化せしめる。ここで上記加熱処理としては、例えば1250(°C)で炭素を発熱体として高周波熔融を行い、さらにアニールを行つたのち、イオン注入法でB或いはPを導入してもよく、またAr, N<sub>2</sub>等のガス雰囲気中でアニールを行つてもよい。さらにこれらのシリコン系半導体膜3中に水素或いは弗素を導入して系を安定化し、微結晶化させてもよい。基板のアニールはレーザアニール、熱アニール、電子ビームアニール等いずれか一回以上行つてもよい。

#### <実施例1>

前記した酸化膜とCVD法で多結晶シリコンをサファイア基板1につける。次いで、1400(°C)の温度で一坦熔融を行つたのち、CW-Ar

5

6

レーザー 12W、スキャン速度 25cm/S、  
基板温度 150℃) アニール後、Pのイオン注  
入をドーズ量  $1 \times 10^{11}$  (cm<sup>-2</sup>)、加速電圧 130  
(K・V)で行った。これを用いてP-チャネル  
AEG-ゲートFETを作製し、正孔移動度を測定  
したところ  $\mu_0 = 170$  (cm<sup>2</sup>/V・sec) リーク電  
流  $10^{-11}$  (A) であった。結晶径は約 12 (μm)  
であった。作製した膜をX線回折で調べたところ  
結晶方位 (111)、(110)、(100) の回折  
パターンが認められた。

#### <実施例 2.>

酸化膜、水素含有多結晶質シリコンを石英基  
板上につけ、1200(℃)でゾーンメルトを行  
った。次いで、アニール後Pのイオン注入をド  
ーズ量  $1 \times 10^{11}$  (cm<sup>-2</sup>)、加速電圧 130 (K・V)  
で行った。これを用いてP-チャネルFETを  
作製し、正孔移動度を測定したところ、 $\mu_0 =$   
150 (cm<sup>2</sup>/V・sec)、リーク電流  $5 \times 10^{-10}$   
(A) であった。粒径は 15 (μm) であった。作  
製したポリシリコンの結晶方位は (111)、

sec) であった。粒径は約 10 (μm) であり、  
結晶方位は (100) (110) 等が析出していた。

#### <実施例 5.>

前記ナフアイア基板、酸化膜、グロー放電に  
よる水素含有アモルファスSiをつけた基板を  
1000(℃)の温度で10分間熱処理したのち  
N<sub>2</sub>雰囲気中で150℃熱線アニールした。こ  
の非晶質シリコン中にPをドーズ量  $1 \times 10^{11}$   
(cm<sup>-2</sup>)、加速電圧 120 (K・V) の条件で注入を  
し、FETを作製し、正孔移動度を測定したと  
ころ  $\mu_0 = 0.5$  (cm<sup>2</sup>/V・sec)、粒径は 500 (Å)、  
リーク電流は  $10^{-12}$  (A) であった。結晶方位は  
(100) (111) (110) が析出していた。

以上説明した実施例から判るように、本発明  
は非晶質シリコン或いは多結晶シリコンから単  
結晶若しくは微結晶を有するすぐれた半導体材  
料を合成する方法であり、工業的にすぐれた合  
成方法であるといえることができる。

#### 4. 図面の簡単な説明

図は本発明の実施例を説明する断面図である。

( ) 等であつた。

#### <実施例 3.>

前記ナフアイア基板酸化膜、多結晶シリコン  
を用い、3層構造にしたものを1250(℃)の温  
度で10分間熱処理したのち、200(℃)で電  
子ビームアニールを行い単結晶化させた。ド  
ーズ量  $2 \times 10^{11}$  (cm<sup>-2</sup>)、加速電圧 100 (K・V) で  
Pのイオン注入を行い、PチャネルFETを作  
製し、正孔移動度を測定したところ  $\mu_0 = 250$   
(cm<sup>2</sup>/V・sec) であった。粒径は 10 (μm) であ  
り、多結晶の方位は (100) のものが析出して  
いることをX線回折で確認した。

#### <実施例 4.>

前記石英基板、酸化膜、Lp-CVD法による  
多結晶シリコンを用い、3層構造にしたものを  
1300(℃)の温度で10分間熱処理した。その  
後、Arガス中でレーザーアニールしドーズ量  
 $1 \times 10^{11}$  (cm<sup>-2</sup>)、加速電圧 130 (K・V) でPのイ  
オン注入を行い、PチャネルFETを作製し、  
正孔移動度を測定したところ  $\mu_0 = 170$  (cm<sup>2</sup>/V・

図において、1…ウエハー、2…酸化膜、3  
…アモルファスシリコン、4…イオン注入、5  
…レーザーアニール。

出願人代理人 井堀士 鈴 江 武 彦

